

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets

(11) Veröffentlichungsnummer: **0 600 112 A1**

(12)

EUROPÄISCHE PATENTANMELDUNG(21) Anmeldenummer: **92120421.0**(51) Int. Cl.5: **G06F 12/14, G06F 12/10**(22) Anmeldetag: **30.11.92**(43) Veröffentlichungstag der Anmeldung:
08.06.94 Patentblatt 94/23(64) Benannte Vertragsstaaten:
**AT BE CH DE DK ES FR GB GR IE IT LI LU MC
NL PT SE**(71) Anmelder: **Siemens Nixdorf
Informationssysteme Aktiengesellschaft
Fürstenallee 7
D-33102 Paderborn(DE)**(72) Erfinder: **Eckenberger, Eberhard, Dipl.-Ing.
Bettinastrasse 23
W-8000 München 83(FR)
Erfinder: Wimmer, Manfred, Dipl.-Ing.
Pierling 28
W-8225 Traunreut(DE)**(74) Vertreter: **Fuchs, Franz-Josef, Dr.-Ing. et al
Postfach 22 13 17
D-80503 München (DE)**(54) **Datenverarbeitungsanlage mit virtueller Speicheradressierung und schlüsselgesteuertem Speicherzugriff.**

(57) Mit der Adreßumsetzungseinheit (ACU) des Prozessors (PIU) gekoppelte eigenständige Schlüssel-speichersteuereinheit (KMU) mit einem durch reale Speicheradressen ansteuerbaren Schlüssel-speicher (KM), der Einträge (KEY) für jeden im Arbeitsspeicher gesondert geschützten Datenabschnitt, z.B. Seite, enthält. Jeder Eintrag besteht aus dem Speicherschlüssel (ACC) und drei weiteren Steuerbits (F, R und C), von denen die letzteren auch der Verwaltung dienen. Ansteuerung von Adreßumsetzungseinheit (ACU) und Prozessor (PIU) über gemeinsame umschaltbare Eingabeschnittstelle (KMIA), während die Ein-/Ausgabeprozessoren (IOP) über eine gesonder-

te Schnittstelle angekoppelt sind. Die Schlüssel-speichersteuereinheit (KMU) arbeitet befehlsgesteuert. Sie wird bei jeder Speicheranforderung des Prozessors (PIU) im Rahmen der Adreßumsetzung von der Adreßumsetzungseinheit (ACU) angesteuert, wenn die Verwaltungsbits zu ändern sind oder noch kein Eintrag im Adreßumsetzungspuffer (TLB) vorliegt. Kennzeichnung von Einträgen im Adreßumsetzungspuffer (TLB) in einem zum Schlüssel-speicher parallel adressierbaren Speicher (KIAT) gleicher Tiefe verhindert unnötige Überprüfungen des Adreßumsetzungspuffers (TLB), wenn Einträge zu löschen sind.

EP 0 600 112 A1

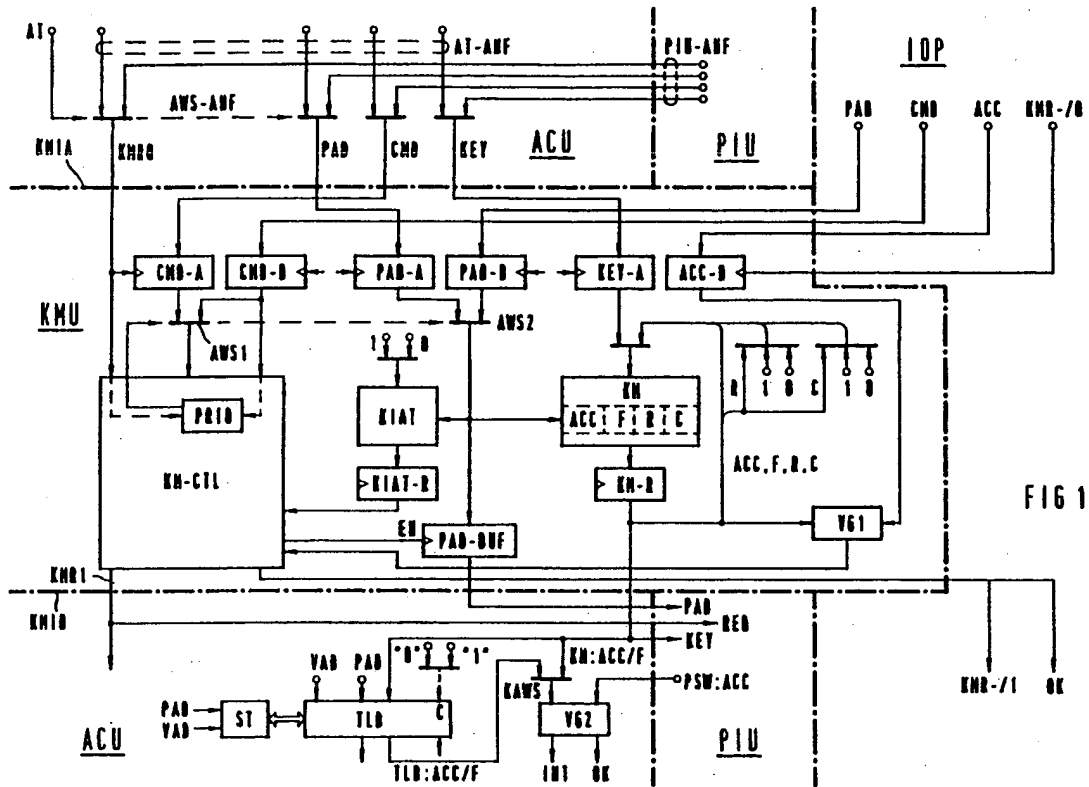


FIG 1

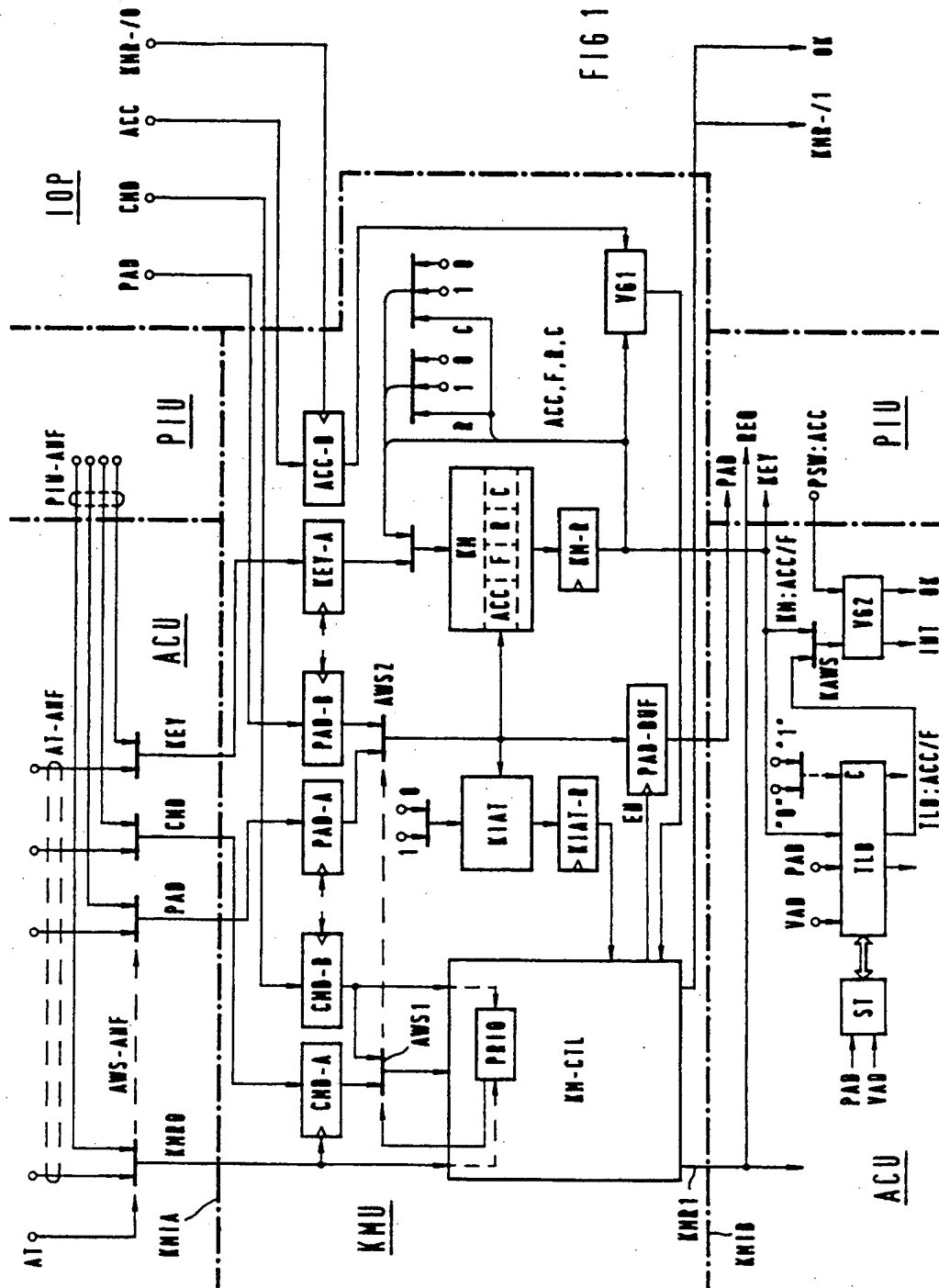


FIG 2

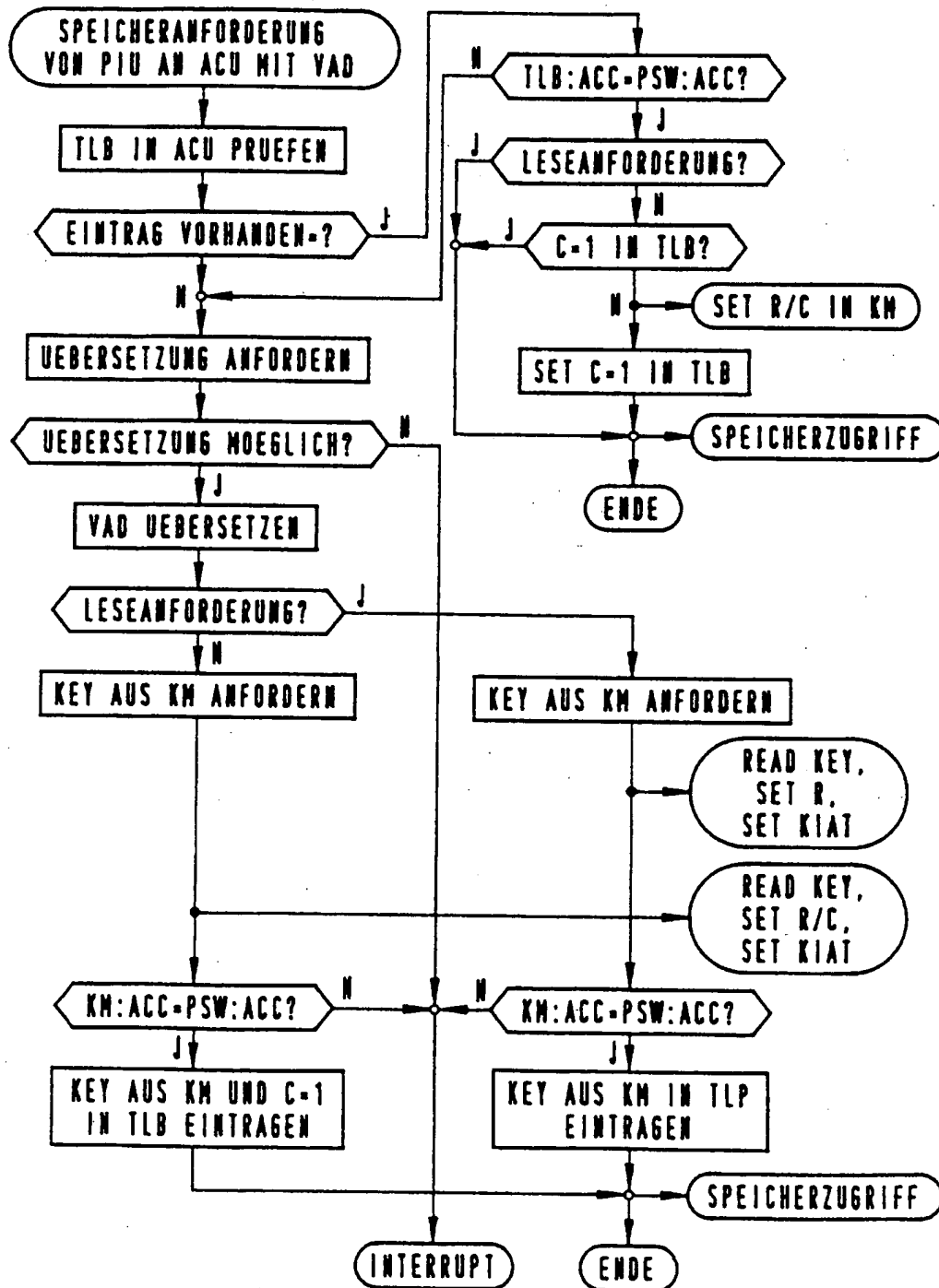


FIG 3

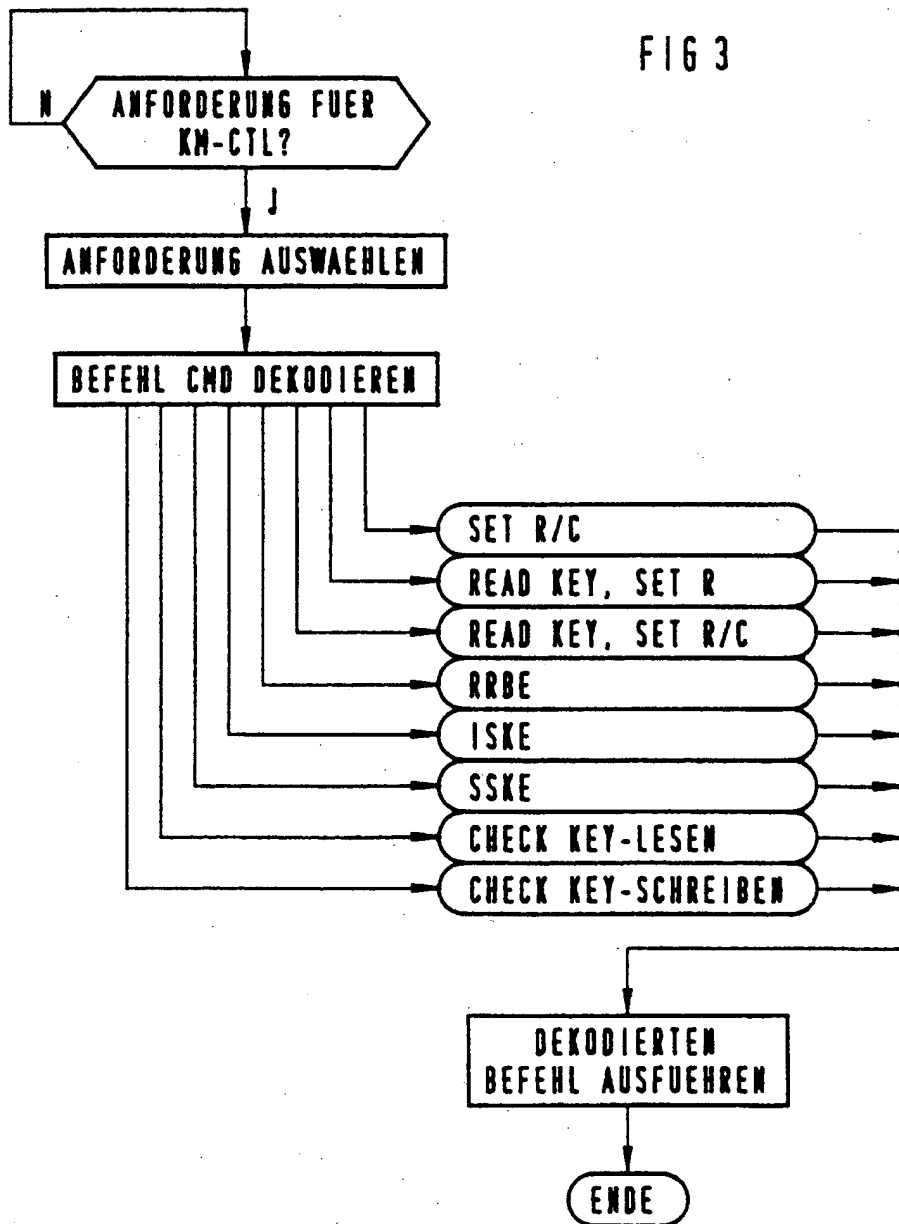
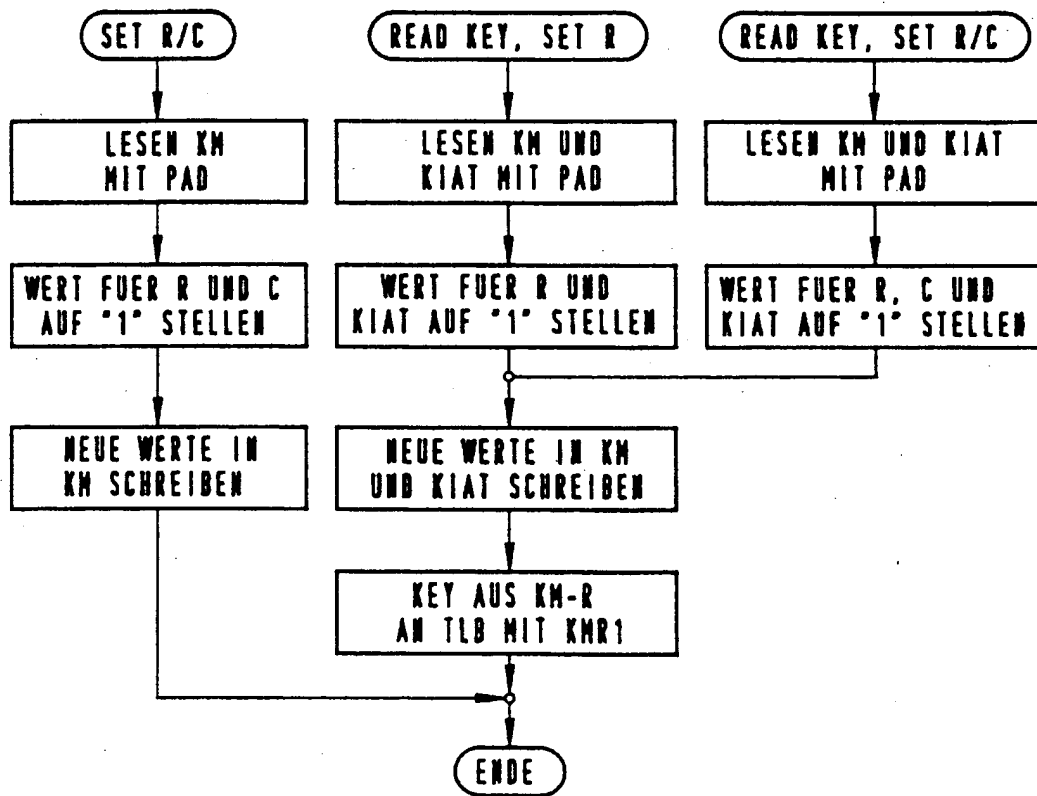


FIG 4A



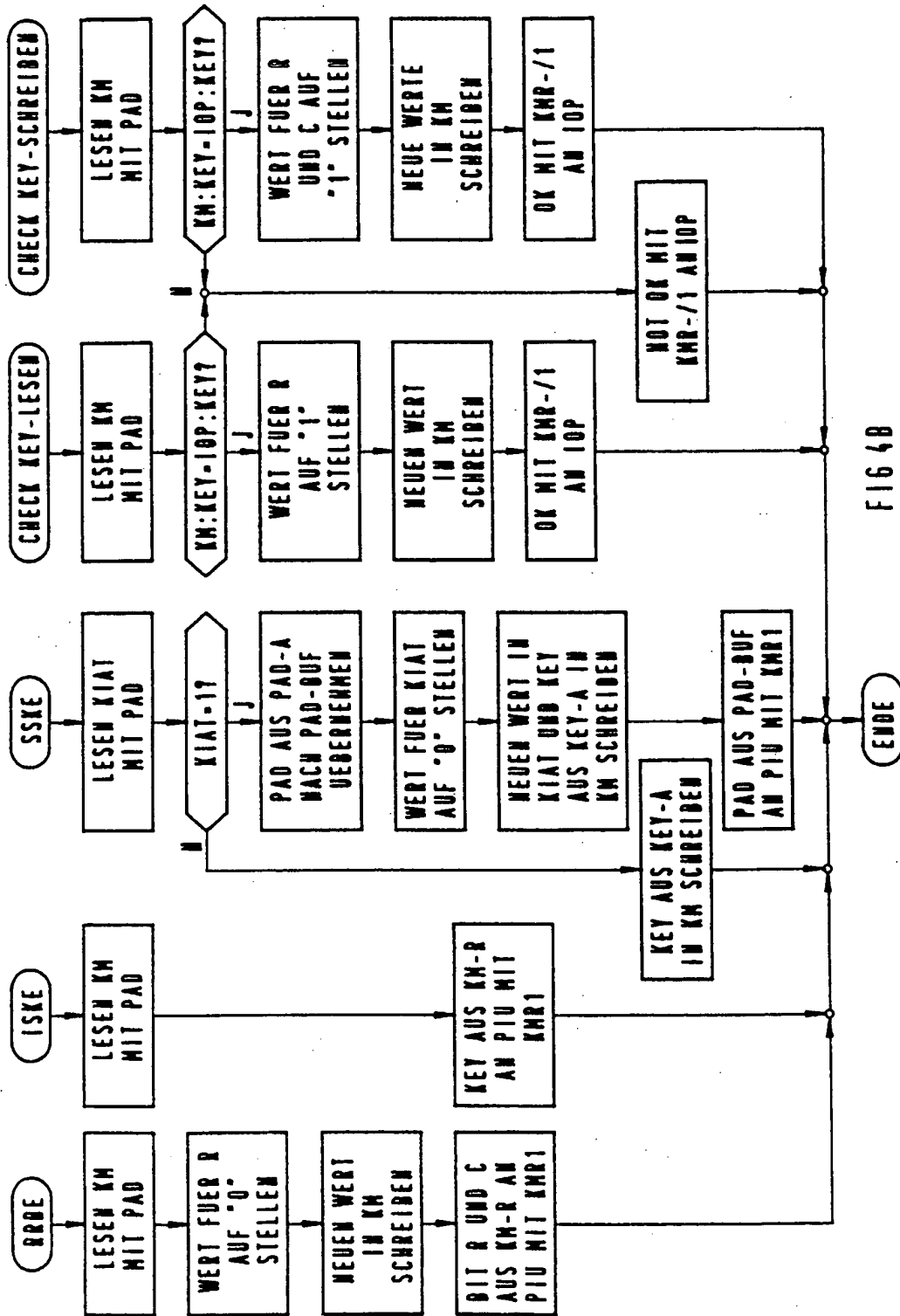


FIG 4B



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 92 12 0421

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.5)
X	US-A-4 903 234 (SAKURABA ET AL) * Zusammenfassung; Abbildung 1 *	1	G06F12/14 G06F12/10
Y	* Spalte 1, Zeile 1 - Spalte 2, Zeile 60 * * Spalte 4, Zeile 10 - Zeile 47 *	2,4,5	
A	---	3	
Y	COMPUTER DESIGN, Bd. 21, Nr. 2, April 1982, WINCHESTER, US; Seiten 63 - 64 'Microprocessor Builds In Memory Protection and Virtual Memory Access' * das ganze Dokument *	2	
Y	EP-A-0 149 389 (FUJITSU) * Zusammenfassung; Abbildung 2 * * Seite 3, Zeile 11 - Seite 4, Zeile 5 * * Seite 7, Zeile 13 - Seite 10, Zeile 18 *	4	
Y	EP-A-0 288 636 (NETWORK SYSTEMS CORP.) * Zusammenfassung; Abbildungen 7A,7B,9,13 * Seite 19, Zeile 1 - Seite 20, Zeile 57 * * Seite 26, Zeile 41 - Seite 27, Zeile 18 * Seite 29, Zeile 35 - Zeile 56 *	5	
A	-----	1,2	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchesort DEN HAAG		Abchlußdatum der Recherche 02 JULI 1993	Prüfer POWELL D.
KATEGORIE DER GENANNTEN DOKUMENTE X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentsdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument * : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument			

Data processing system with virtual memory addressing and memory access controlled by keys.

Patent Number: EP0600112
Publication date: 1994-06-08
Inventor(s): WIMMER MANFRED DIPL-ING (DE); ECKENBERGER EBERHARD DIPL-ING (FR)
Applicant(s): SIEMENS NIXDORF INF SYST (DE)
Requested Patent: ☐ EP0600112
Application Number: EP19920120421 19921130
Priority Number(s): EP19920120421 19921130
IPC Classification: G06F12/14; G06F12/10
EC Classification: G06F12/10L, G06F12/14D1A
Equivalents:
Cited patent(s): US4903234; EP0149389; EP0288636

Abstract

Independent key memory control unit (KMU) coupled to the address conversion unit (ACU) of the processor (PIU), with a key memory (KM) driven via real memory addresses, the key memory containing entries (KEY) for each section of data, e.g. a page, separately protected in the main memory. Each entry consists of the memory key (ACC) and three further control bits (F, R and C), of which the last also serves for administration. Driving of the address conversion unit (ACU) and processor (PIU) via common switchable input interface (KMIA), while the input/output processors (IOP) are coupled via a separate interface. The key memory control unit (KMU) works under command control. For the purposes of address conversion, it is driven by the address conversion unit (ACU) at each memory request of the processor (PIU), if the administration bits are to be altered or if there is still no entry in the address conversion buffer (TLB). Characterisation of entries in the address conversion buffer (TLB) in a memory (KIAT), addressable in parallel with the key memory and of the same depth, prevents unnecessary testing of the

address conversion buffer (TLB) when entries are to be cleared.



Data supplied from the esp@cenet database - 12